

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-068788

(43)Date of publication of application : 03.03.2000

(51)Int.Cl.

H03H 11/24
H01L 21/8234
H01L 27/088

(21)Application number : 10-239316

(71)Applicant : JAPAN SCIENCE & TECHNOLOGY
CORP

(22)Date of filing : 26.08.1998

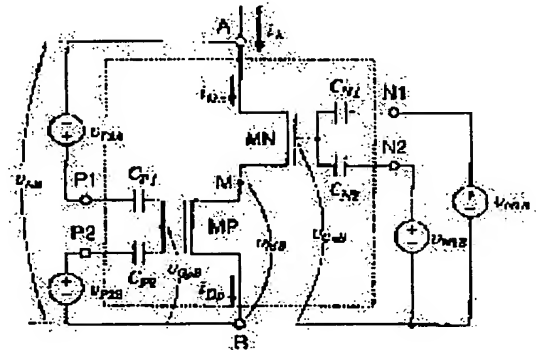
(72)Inventor : HORIO YOSHIHIKO
WATARAI KENICHI
AIHARA KAZUYUKI

(54) NONLINEAR RESISTANCE CIRCUIT USING CAPACITIVE COUPLING MULTI-INPUT MOSFET

(57)Abstract:

PROBLEM TO BE SOLVED: To transform the Λ and V type nonlinear resistance characteristics into that of the integrated circuits of the same constitution in a standard CMOS process by using a core circuit where the source terminals of enhancement type N and P channel MOSFETs having the capacitive coupling multi-input gate terminals are connected to each other.

SOLUTION: The source terminals of enhancement type N and P channel MOSFETs (MN and MP) are connected to each other with addition of drain terminals A and B. Then the input capacitance CN1, CN2 and CP1, CP2 and the input terminals N1, N2 and P1, P2 are added to the MN and MP gates respectively. In such a constitution, a core circuit is obtained. Furthermore, the potentials VGnB and VGpB, gate-source voltage VGSn and VGSp and drain-source voltage VDSn and VDSp are given to the MN and MP gate terminals respectively as shown by each prescribed expression. Thus, the Λ and V type I-V characteristics are acquired in various ways by the external control voltage in the same circuit constitution, and the circuit constitution can be transformed into the integrated circuits in a standard CMOS process.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68788

(P2000-68788A)

(43) 公開日 平成12年3月3日(2000.3.3)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-マコ-ト (参考) |
|---------------------------|------|---------------|-----------------|
| H 0 3 H 11/24 | | H 0 3 H 11/24 | B 5 F 0 4 8 |
| H 0 1 L 21/8234 | | H 0 1 L 27/08 | 1 0 2 5 J 0 9 8 |
| 27/088 | | | |

審査請求 有 請求項の数 2 O L (全 20 頁)

(21) 出願番号 特願平10-239316

(22) 出願日 平成10年8月26日(1998.8.26)

(71) 出願人 396020800

科学技術振興事業団

埼玉県川口市本町4丁目1番8号

(72) 発明者 堀尾 喜彦

埼玉県蕨市中央1-17-40-604

(72) 発明者 渡来 賢一

千葉県松戸市常盤平西窪町14-6

(72) 発明者 合原 一幸

千葉県習志野市谷津4-8-8-208

(74) 代理人 100089635

弁理士 清水 守

F タ-ム (参考) 5F048 AB01 AB03 AB10 AC02 AC10

5J098 AA03 AA14 AC06 AC09 AC21

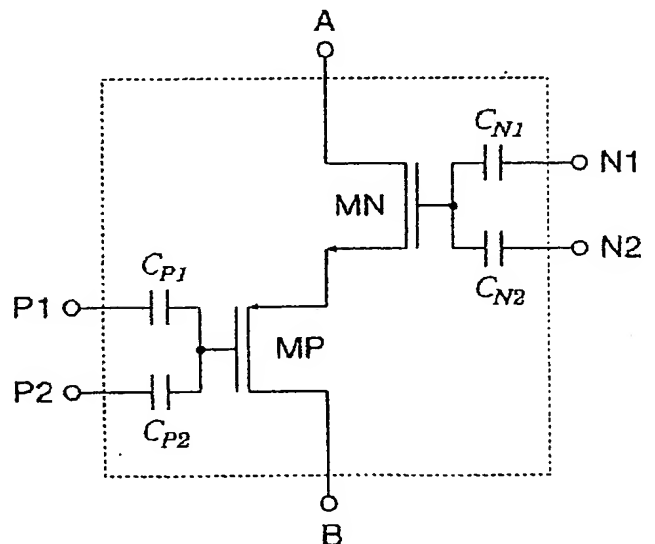
AC27 AD25 AD26 EA02 EA09

(54) 【発明の名称】 容量結合多入力MOSFETを用いた非線形抵抗回路

(57) 【要約】

【課題】 容量結合多入力MOSFETを用いることにより、標準的なCMOSプロセスで集積回路化が可能で、かつ、Λ字型およびV字型の2種類の非線形抵抗特性が実現可能な容量結合多入力MOSFETを用いた非線形抵抗回路を提供する。

【解決手段】 容量結合多入力MOSFETを用いた非線形抵抗回路において、容量結合多入力ゲート端子を有するNチャネルエンハンスメント型MOSFETと、容量結合多入力ゲート端子を有するPチャネルエンハンスメント型MOSFETと、前記各MOSFETのソース端子どうしを接続したコア回路とを具備する。



【特許請求の範囲】

【請求項1】 (a) 容量結合多入力ゲート端子を有するエンハンスメント型の第1のチャンネルMOSFETと、

(b) 容量結合多入力ゲート端子を有するエンハンスメント型の第2のチャンネルMOSFETと、 (c) 前記各MOSFETのソース端子どうしを接続した非線形抵抗特性を有するコア回路を具備する容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項2】 請求項1記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、前記コア回路の第1のチャンネルはNチャンネルであり、前記第2のチャンネルはPチャンネルであり、 Λ 型電流-電圧特性を得ることを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項3】 請求項2記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、外部からの制御電圧により、前記 Λ 型電流-電圧特性を多様に変化させることを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項4】 請求項3記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、前記NチャンネルMOSFETのドレイン端子と第1の入出力端子間に与えられる第5の電位と、前記PチャンネルMOSFETのドレイン端子と第2の入出力端子間に与えられる第6の電位とを有し、前記Pチャンネルのゲートに接続される第1の容量と前記NチャンネルMOSFETのドレイン端子又は第1の入出力端子間に与えられる第1の電位と、前記Pチャンネルのゲートに接続される第2の容量と前記PチャンネルMOSFETのドレイン端子又は第2の入出力端子間に与えられる第2の電位と、前記Nチャンネルのゲートに接続される第3の容量と前記PチャンネルMOSFETのドレイン端子又は第2の入出力端子間に与えられる第3の電位と、前記Nチャンネルのゲートに接続される第4の容量と前記PチャンネルMOSFETのドレイン端子又は第2の入出力端子間に与えられる第4の電位とを有することを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項5】 請求項1記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、前記コア回路の第1のチャンネルはPチャンネルであり、前記第2のチャンネルはNチャンネルであり、V型電流-電圧特性を得ることを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項6】 請求項5記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、外部からの制御電圧により、前記V型電流-電圧特性を多様に変化させることを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【請求項7】 請求項6記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、前記Pチャンネル

MOSFETのドレイン端子と第1の入出力端子間に与えられる第11の電位と、前記NチャンネルMOSFETのドレイン端子と第2の入出力端子間に与えられる第12の電位とを有し、前記Nチャンネルのゲートに接続される第5の容量と前記PチャンネルMOSFETのドレイン端子又は第1の入出力端子間に与えられる第7の電位と、前記Nチャンネルのゲートに接続される第6の容量と前記NチャンネルMOSFETのドレイン端子又は第2の入出力端子間に与えられる第8の電位と、前記Pチャンネルのゲートに接続される第7の容量と前記NチャンネルMOSFETのドレイン端子又は第2の入出力端子間に与えられる第9の電位と、前記Pチャンネルのゲートに接続される第8の容量と前記NチャンネルMOSFETのドレイン端子又は第2の入出力端子間に与えられる第10の電位とを有することを特徴とする容量結合多入力MOSFETを用いた非線形抵抗回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は容量結合多入力MOSFETを用いた非線形抵抗回路に係り、特に、容量結合多入力MOSFETを用いた非線形負性抵抗回路に関するものである。

【0002】

【従来の技術】 非線形な電流-電圧 ($I-V$) 特性を持つデバイスや回路、特に負性抵抗特性を持ったものは、論理回路やメモリ回路、発振回路やインピーダンス変換回路、また色々な非線形信号処理回路、さらにはカオス発生回路等の構成要素として重要な位置を占めている。

【0003】 このようなデバイスには多種多様なものがあるが、 Λ 字型の $I-V$ 特性を持つデバイスとして、接合型トランジスタ (BJT) や電界効果トランジスタ (FET) を組み合わせた回路が提案されている (①第1文献: L. O. Hill, D. O. Pederson, and R. S. Pepper, 'Synthesis of Electronic Bistable Circuits,' IEEE Transactions on Circuit Theory, vol. CT-10, pp. 25-35, 1963.)。

【0004】 さらに、2つの接合型電界効果トランジスタ (J-FET) を一体として集積回路化する技術により、この回路を効率的に実現する方法が提案された (②第2文献: G. Kano and H. Iwasa, 'A new Λ -Type Negative Resistance Device of Integrated Complementary FET Structure,' IEEE Transactions. Electron Devices, vol. 21, no. 7, pp. 448-449, 1974.)。

【0005】 また近年、2つのMOSFETを使って Λ 字型負性抵抗特性を実現する、ラムダ型トランジスタ回

路が提案され、インピーダンス変換器やニューロン回路に
 応用されている(③第3文献:杉崎堅之助, 関根寿
 広, 関根好文, 中村康平, 須山正敏, '2個のMOS-
 FETによる Λ 形トランジスタ,' 昭和53年度電気関
 係学会東北支部連合大会, 2G9, p. 270, 197
 8. ④第4文献:関根寿広, 杉崎堅之助, 佐藤均, 関
 根好文, 須山正敏, ' Λ 形トランジスタを用いた等価イン
 ダクタンス,' 電子通信学会論文誌, vol. J63-
 C, no. 5, pp. 325-327, 1980.
 ⑤第5文献:関根好文, 中村雅彦, 落合利幸, 須山正
 敏, ' Λ 形トランジスタのハードウェアニューロンモデ
 ルへの応用' 電子通信学会論文誌, vol. J68-A,
 no. 7, pp. 672-679, 1985)。

【0006】

【発明が解決しようとする課題】しかしながら、上記し
 た従来の回路中の少なくとも1つのMOSFETはデプ
 レション型でなくてはならないため、この回路をエンハ
 ンスメント型MOSFETのみで構成される標準的なC
 MOSプロセスで集積回路化することはできない。

【0007】本発明は、上記問題点を解決するために、
 容量結合多入力MOSFETを用いることにより、標準
 的なCMOSプロセスで集積回路化が可能で、かつ、 Λ
 字型およびV字型の2種類の非線形抵抗特性が実現可能
 な容量結合多入力MOSFETを用いた非線形抵抗回路
 を提供することを目的とする。ここで、容量結合多入力
 MOSFETとは、MOSFETのゲート端子に複数の
 コンデンサを並列結合させて多数の入力端子を持たせた
 MOSFETである。この容量結合多入力MOSFET
 の動作は、1つもしくは幾つかの容量結合入力端子の電
 圧によって制御することができる。この回路の構造は、
 ν MOSFET(⑥第6文献: T. Shibata
 and T. Ohmi, 'A Functional
 MOS Transistor Featuring
 Gate-Level Weighted Sum and
 Threshold Operations,'
 IEEE Transactions. Electro
 n Devices. vol. 39, no. 6, pp. 1
 444-1455, 1992 参照)やMF MOSFE
 T(⑦第7文献: H. R. Mehrvarz and
 C. Y. Kwok, 'A Novel Multi-I
 nput Floating-Gate MOS Fo
 ur-Quadrant Analog Multipl
 ier' IEEE J. of Solid State
 Circuits, vol. 31, no. 8, pp.
 1123-1131, 1996参照)のような、入力
 の線形な重み付き総和演算を行う多入力フローティングゲ
 ートMOSFETと同じである。

【0008】しかし、本発明の非線形抵抗回路において
 は、そのような線形演算は本質的ではないため、入力結
 合コンデンサの特性は線形である必要はない。従って、

ここで言う容量結合多入力MOSFETは、 ν MOSF
 ET等を含む、より一般的な回路構成を指す。従って、
 本発明の非線形抵抗回路は、線形なキャパシタが利用で
 きない、より安価なCMOSプロセスで集積回路化が可
 能である。

【0009】一方、 ν MOSFET等のフローティング
 ゲートデバイスが利用できるのであれば、本発明の非線形
 抵抗回路の小型化も可能である。

【0010】

10 【課題を解決するための手段】本発明は、上記目的を達
 成するために、

〔1〕容量結合多入力MOSFETを用いた非線形抵抗
 回路であって、容量結合多入力ゲート端子を有するエン
 ハンスメント型の第1のチャネルMOSFETと、容量
 結合多入力ゲート端子を有するエンハンスメント型の第
 2のチャネルMOSFETと、前記各MOSFETのソ
 ース端子どうしを接続した非線形抵抗特性を有するコア
 回路を具備するようにしたものである。

20 【0011】〔2〕上記〔1〕記載の容量結合多入力M
 OSFETを用いた非線形抵抗回路において、前記コア
 回路の第1のチャネルはNチャネルであり、前記第2の
 チャネルはPチャネルであり、 Λ 型電流-電圧特性を得
 るようにしたものである。

〔3〕上記〔2〕記載の容量結合多入力MOSFETを
 用いた非線形抵抗回路において、外部からの制御電圧に
 より、前記 Λ 型電流-電圧特性を多様に変化させるよう
 にしたものである。

30 【0012】〔4〕上記〔3〕記載の容量結合多入力M
 OSFETを用いた非線形抵抗回路において、図6
 (a)~図6(p)に示すように、前記NチャネルMO
 SFETのドレイン端子(A)と第1の入出力端子
 (X)間に与えられる第5の電位(v_x)と、前記Pチ
 ャネルMOSFETのドレイン端子(B)と第2の入出
 力端子(Y)間に与えられる第6の電位(v_y)とを有
 し、前記Pチャネルのゲートに接続される第1の容量
 (C_{F1})と前記NチャネルMOSFETのドレイン端子
 (A)又は第1の入出力端子(X)間に与えられる第1
 の電位(v_{P1A} , v_{P1X})と、前記Pチャネルのゲート
 に接続される第2の容量(C_{F2})と前記PチャネルMO
 SFETのドレイン端子(B)又は第2の入出力端子
 40 (Y)間に与えられる第2の電位(v_{P2B} , v_{P2Y})
 と、前記Nチャネルのゲートに接続される第3の容量
 (C_{N1})と前記PチャネルMOSFETのドレイン端子
 (B)又は第2の入出力端子(Y)間に与えられる第3
 の電位(v_{N1B} , v_{N1Y})と、前記Nチャネルのゲート
 に接続される第4の容量(C_{N2})と前記PチャネルMO
 SFETのドレイン端子(B)又は第2の入出力端子
 (Y)間に与えられる第4の電位(v_{N2B} , v_{N2Y})と
 を有するようにしたものである。

50 【0013】〔5〕上記〔1〕記載の容量結合多入力M

OSFETを用いた非線形抵抗回路において、前記コア回路の第1のチャネルはPチャネルであり、前記第2のチャネルはNチャネルであり、V型電流-電圧特性を得るようにしたものである。

〔6〕上記〔5〕記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、外部からの制御電圧により、前記V型電流-電圧特性を多様に変化させるようにしたものである。

【0014】〔7〕上記〔6〕記載の容量結合多入力MOSFETを用いた非線形抵抗回路において、図8

(a)～図8(p)に示すように、前記PチャネルMOSFETのドレイン端子(B)と第1の入出力端子(X)間に与えられる第11の電位(v_x)と、前記NチャネルMOSFETのドレイン端子(A)と第2の入出力端子(Y)間に与えられる第12の電位(v_y)とを有し、前記Nチャネルのゲートに接続される第5の容量(C_{n2})と前記PチャネルMOSFETのドレイン端子(B)又は第1の入出力端子(X)間に与えられる第7の電位(v_{n2B} , v_{n2X})と、前記Nチャネルのゲートに接続される第6の容量(C_{n1})と前記NチャネルMOSFETのドレイン端子(A)又は第2の入出力端子(Y)間に与えられる第8の電位(v_{n1A} , v_{n1Y})と、前記Pチャネルのゲートに接続される第7の容量(C_{p2})と前記NチャネルMOSFETのドレイン端子(A)又は第2の入出力端子(Y)間に与えられる第9の電位(v_{p2A} , v_{p2Y})と、前記Pチャネルのゲートに接続される第8の容量(C_{p1})と前記NチャネルMOSFETのドレイン端子(A)又は第2の入出力端子(Y)間に与えられる第10の電位(v_{p1A} , v_{p1Y})とを有するようにしたものである。

【0015】

$$C_0 \ll C_i \text{ for } i = 1 \text{ to } m$$

*

【0020】であると仮定する。この時、ゲート端子Gの電位は

$$v_{Gn} \approx \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T}$$

※

【0022】と近似できる。ここで、

【0023】

【数3】

$$C_T = \sum_{i=1}^m C_i \quad \dots (3)$$

【0024】である。ここで、ソース端子Sを基準とし

*【発明の実施の形態】以下、本発明の実施の形態について詳細に説明する。

〔1〕容量結合多入力MOSFET

〔1-1〕容量結合多入力NチャネルMOSFET

図1は本発明に係る容量結合多入力NチャネルMOSFETの回路図である。

【0016】この図に示すように、容量結合多入力NチャネルMOSFET(以下、NMOSFETという)は、通常のNMOSFETのゲート端子Gに、複数のキャパシタ $C_1 \sim C_m$ を結合し、それらを入力端子とする。このようにキャパシタ $C_1 \sim C_m$ を介して入力を加えることにより、NMOSFET・MNのゲート端子Gは等価的にフローティングとなる。

【0017】ソース端子Sの接地を基準とした電位を v_{ss} 、ドレイン端子Dのそれを v_{DD} 、さらにゲート端子Gの電位を v_{Gn} 、基板端子Bの電位を v_{Bn} とする。ここで、図1に示したように、 v_{IN1} 、 v_{IN2} 、 v_{IN3} 、 \dots 、 v_{INm} を接地を基準とした各入力端子の電圧、 C_0 をゲート・基板間、ゲート・ドレイン間、ゲート・ソース間の寄生容量さらにはゲートの酸化膜容量の全合計、 C_1 、 C_2 、 C_3 、 \dots 、 C_m を、各入力端子とゲート端子間の結合容量とする。

【0018】以下では、電荷の洩れがないと仮定し、ゲート端子Gの初期電荷は0とする。また、分かりやすくするため、ソース端子Sと基板端子Bは互いに接続されているものとする。また、以下に示す回路においては、寄生容量 C_0 の影響は回路の定性的な特性に影響を与えない。従って、解析を簡単にするため、

【0019】

30 【数1】

$$\dots (1)$$

※【0021】

【数2】

$$\dots (2)$$

40 たMNの閾値電圧を V_{th} 、ゲート・ソース間電圧を $v_{GSn} = v_{Gn} - v_{ss}$ 、ドレイン・ソース間電圧を $v_{DSn} = v_{DD} - v_{ss}$ とすると、各端子間の電位の相対関係によりMNの動作状態およびドレイン電流 i_{Dn} は以下のように与えられる。

【0025】

【数4】

1. $v_{GSn} < V_{tn}$ すなわち $\frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sn} < V_{tn}$ の時

この時、MNはカットオフ状態であり、従って、ドレイン電流 i_{Dn} は

$$i_{Dn} = 0 \quad \dots (4)$$

【0026】となる。

*【数5】

【0027】

2. $v_{GSn} \geq V_{tn}$ すなわち $\frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sn} \geq V_{tn}$ の時

この時、MNは反転状態で $i_{Dn} \neq 0$ である。また、この条件下では以下のように、ドレイン端子の電圧によってMNは三極管領域あるいは飽和領域のいずれかの動作領域にある。

以下では、簡単のためチャネル長変調は無視する。ドレイン・ソース間電圧を v_{DSn} とすると、

(a) $v_{DSn} < v_{GSn} - V_{tn}$ すなわち $v_{DSn} < \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sn} - V_{tn}$ の時

この時、MNは三極管領域で動作する。従って、ドレイン電流は次式で与えられる。

$$i_{Dn} = K_n \{ 2(v_{GSn} - V_{tn})v_{DSn} - v_{DSn}^2 \} \quad \dots (5)$$

【0028】

※ ※【数6】

$$= K_n \left\{ 2 \left(\frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sn} - V_{tn} \right) v_{DSn} - v_{DSn}^2 \right\} \quad \dots (6)$$

【0029】ただし、 K_n は $(1/2) \mu_n C_{ox} (W_n / L_n)$ 、 μ_n は電子の移動度、 C_{ox} は、MNの酸化膜

容量、 W_n 、 L_n はそれぞれMNのゲート幅およびチャ

【0030】

【数7】

(b) $v_{DSn} \geq v_{GSn} - V_{tn}$ すなわち $v_{DSn} \geq \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sn} - V_{tn}$ の時

この時、MNは飽和領域で動作する。従って、ドレイン電流は次式で与えられる。

$$i_{Dn} = K_n (v_{GSn} - V_{tn})^2 \quad \dots (7)$$

【0031】

☆ ☆【数8】

$$= K_n \left(\frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sn} - V_{tn} \right)^2 \quad \dots (8)$$

【0032】以上より、容量結合多入力MOSFETは、各外部入力 v_{INi} の相対的な関係によりドレイン電流を決定することが可能なデバイスであることがわかる。

【1-2】容量結合多入力PチャネルMOSFET

図2は本発明に係るm個の容量結合入力端子を持つPMOSFETの回路図である。ここでも前記と同様に、ソ

ース端子と基盤端子は接続されているとする。また、分かりやすくするため、前記(1)式を仮定する。

【0033】この時、接地を基準としたMPのゲート端子Gの電位 v_{G0} は(2)式と同様にして以下のように示すことができる。

【0034】

【数9】

$$v_{Gp} \approx \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T}$$

… (9)

【0035】MPのソース端子Sおよびドレイン端子Dの接地を基準とした電位をそれぞれ、 v_{Sp} 、 v_{Dp} とする。さらに、MPのソース端子を基準とした閾値電圧を V_{tp} とし、ゲート・ソース間電圧を $v_{GSp} = v_{Gp} - v_{Sp}$ 、ドレイン・ソース間電圧を $v_{DSP} = v_{Dp} - v_{Sp}$ 、*

*とする。また、分かりやすくするためチャネル長変調は無視すると、ドレイン電流 i_{Dp} は以下のように与えられる。

【0036】

【数10】

$$1. \ v_{GSp} > V_{tp} \text{ すなわち } \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sp} > V_{tp} \text{ の時}$$

この時、MPはカットオフ状態であり、従って、ドレイン電流 i_{Dp} は

$$i_{Dp} = 0$$

… (10)

【0037】となる。

※【数11】

【0038】

※

$$2. \ v_{GSp} \leq V_{tp} \text{ すなわち } \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sp} \leq V_{tp} \text{ の時}$$

この時、MPは反転状態で $i_{Dp} \neq 0$ である。また、この条件下では以下のように、ドレイン端子の電圧によってMPは三極管領域あるいは飽和領域のいずれかの動作領域にある。

$$(a) \ v_{DSP} > v_{GSp} - V_{tp} \text{ すなわち } v_{DSP} > \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sp} - V_{tp} \text{ の時}$$

この時、MPは三極管領域で動作する。従って、ドレイン電流は次式で与えられる。

$$i_{Dp} = K_p \{ 2(v_{GSp} - V_{tp})v_{DSP} - v_{DSP}^2 \} \quad \dots (11)$$

【0039】

★30★【数12】

$$= K_p \left\{ 2 \left(\frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sp} - V_{tp} \right) v_{DSP} - v_{DSP}^2 \right\} \quad \dots (12)$$

【0040】ただし、 K_p は $(1/2) \mu_p C_{ox} (W_p / L_p)$ 、 μ_p はホールの移動度、 C_{ox} はMPの酸化膜容量、 W_p 、 L_p はそれぞれMPのゲート幅およびチャネル長である（以下同様）。

【0041】

【数13】

$$(b) \ v_{DSP} \leq v_{GSp} - V_{tp} \text{ すなわち } v_{DSP} \leq \frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sp} - V_{tp} \text{ の時}$$

この時、MPは飽和領域で動作する。従って、ドレイン電流は次式で与えられる。

$$i_{Dp} = K_p (v_{GSp} - V_{tp})^2 \quad \dots (13)$$

【0042】

◆ ◆ 【数14】

$$= K_p \left(\frac{\sum_{i=1}^m (C_i \cdot v_{INi})}{C_T} - v_{Sp} - V_{tp} \right)^2 \quad \dots (14)$$

【0043】〔2〕容量結合多入力MOSFETを用いた非線形抵抗特性回路

ここでは、上記した容量結合多入力MOSFETを2つ

用いて多種類の非線形抵抗特性を実現する回路の構成を示す。また、基本的な回路の構成は、従来例で示した第1文献乃至第3文献を参考にした。

〔2-1〕 コアとなる回路

図3は本発明の実施例を示す非線形抵抗回路のコアとなる回路図である。

【0044】この回路は、容量結合入力を持ったNMO SFET (MN) とPMOSFET (MP) のソース端子を結合させた回路である。ここでは各FETは2個の入力端子を持っているが、一般にn個として良い。また、図3では基盤端子は省略してある。図3に示すように、MNのドレイン端子をA、MPのドレイン端子をBとする。また、MNの2つの入力容量を C_{N1} と C_{N2} 、M 10 Pの2つの入力容量を C_{P1} と C_{P2} とし、それぞれの入力端子をN1、N2、P1、P2とする。以下、この回路*

$$v_{GNB} = \frac{C_{N1}v_{N1B} + C_{N2}v_{N2B}}{C_{N1} + C_{N2}} \quad \dots (15)$$

【0047】

$$v_{GPB} = \frac{C_{P1}(v_{AB} + v_{P1A}) + C_{P2}v_{P2B}}{C_{P1} + C_{P2}} \quad \dots (16)$$

【0048】また、MNのゲート・ソース間電圧 v_{GSn} 、ドレイン・ソース間電圧 v_{DSn} 、ドレイン・ソース間電圧 v_{DSn} 、およびMPの★ v_{GSp} 、ドレイン・ソース間電圧 v_{DSp} は、次式で表すことができる。

$$v_{GSn} = v_{GNB} - v_{MB} \quad \dots (17)$$

$$v_{DSn} = v_{AB} - v_{MB} \quad \dots (18)$$

$$v_{GSp} = v_{GPB} - v_{MB} \quad \dots (19)$$

$$v_{DSp} = -v_{MB} \quad \dots (20)$$

ここで、 v_{MB} は図中の節点Mの端子Bを基準とした電位である。

【0049】次に、上記〔1〕章で導出した容量結合多入力MOSFETの特性式を用いて、MNのドレイン電流 i_{Dn} と、MPのドレイン電流 i_{Dp} を遮断、三極管、飽☆30

$$v_{GNB} - v_{MB} < V_{in} \quad \dots (21)$$

の時

$$i_{Dn} = 0 \quad \dots (22)$$

2. $v_{GSn} \geq V_{in}$ の時、すなわち、

$$v_{GNB} - v_{MB} \geq V_{in} \quad \dots (23)$$

の時、MNは反転領域である。この時さらに、(a) $v_{DSn} < v_{GSn} - V_{in}$ の時、MNは三極管領域である。 ◆

$$v_{AB} < v_{GNB} - V_{in} \quad \dots (24)$$

の時、

$$i_{Dn} = K_n \{ 2 (v_{GSn} - V_{in}) v_{DSn} - v_{DSn}^2 \} \quad \dots (25)$$

$$= K_n \{ 2 (v_{GNB} - v_{MB} - V_{in}) (v_{AB} - v_{MB}) - (v_{AB} - v_{MB})^2 \} \quad \dots (26)$$

(b) $v_{DSn} \geq v_{GSn} - V_{in}$ の時、MNは飽和領域である。

$$v_{AB} \geq v_{GNB} - V_{in} \quad \dots (27)$$

の時、

$$i_{Dn} = K_n (v_{GSn} - V_{in})^2 \quad \dots (28)$$

$$= K_n (v_{GNB} - v_{MB} - V_{in})^2 \quad \dots (29)$$

・トランジスタMPについて

ある。

1. $v_{GSp} > V_{in}$ の時、トランジスタMPは遮断領域で 50 【0053】従って、上記(19)式より、

*をコア回路と呼ぶ。

〔2-2〕 Λ 型I-V特性を実現する基本回路

図4は本発明の実施例を示す Λ 字型のI-V特性を実現する基本回路図であり、破線内はコア回路である。

【0045】上記したコア回路の各端子に図4のように電圧を加えることにより、端子A-B間に Λ 型のI-V特性が得られる。ここで、図のように端子Bを基準とした各節点の電圧を取ると、上記(2)および上記(9)式より、MNとMPのゲート端子の電位 v_{GNB} 、 v_{GPB} は次式で与えられる。

【0046】

【数15】

※ ※【数16】

20★ゲート・ソース間電圧 v_{GSp} 、ドレイン・ソース間電圧 v_{DSp} は、次式で表すことができる。

☆和領域の3つの動作領域に分けて与える。・トランジスタMNについて；

1. $v_{GSn} < V_{in}$ の時、MNは遮断領域である。

【0050】従って、上記(17)式より、

◆【0051】すなわち、上記(17)、(18)式より、

*【0052】すなわち、

13

$$V_{GDB} - V_{MB} > V_{ID}$$

の時、

$$i_{DD} = 0$$

14

$$\dots (30)$$

2. $V_{GSD} \leq V_{ID}$ の時、MPは反転領域である。この時
さらに、(a) $V_{DSB} > V_{GSD} - V_{ID}$ の時、トランジスタ

*タMPは三極管領域である。すなわち、上記(19)、
(20)式より、

$$V_{GDB} < V_{ID}$$

$$\dots (32)$$

の時、

$$i_{DD} = K_D \{ 2 (V_{MB} - V_{GDB} + V_{ID}) V_{MB} - V_{MB}^2 \}$$

$$\dots (33)$$

(b) $V_{DSB} \leq V_{GSD} - V_{ID}$ の時、MPは飽和領域である。すなわち、

$$V_{GDB} \geq V_{ID}$$

$$\dots (34)$$

の時、

$$i_{DD} = K_D (V_{GDB} - V_{MB} - V_{ID})^2$$

$$\dots (35)$$

次に、上記の結果を用いて、 $i_{\Lambda} = i_{Da} = i_{DD}$ とおく
とにより、 V_{MB} を求める。以下では、分かりやすくする
ため $K_n = K_p = K$ として計算する。

★【0054】1. MN、MPが共に三極管領域で動作し
ている時、上記(26)式および(33)式より、

$$V_{MB} = \{ 2 (V_{in} - V_{GDB}) V_{AB} + V_{AB}^2 \} / P$$

$$\dots (36)$$

ここで、

$$P = 2 (V_{GDB} - V_{GDB} + V_{in} - V_{ID})$$

$$\dots (37)$$

である(以下同様)。

☆和領域で動作している時、上記(26)式および(3
【0055】2. MNが三極管領域で動作し、MPが飽和領域で動作する時、

$$V_{MB} = \{ V_{AB}^2 + 2 (V_{in} - V_{GDB}) V_{AB} + (V_{GDB} - V_{ID})^2 \} / P$$

$$\dots (38)$$

3. MNが飽和領域で動作し、MPが三極管領域で動作

◆している時；上記(29)式および(33)式より、

$$V_{MB} = - (V_{GDB} - V_{in})^2 / P$$

$$\dots (39)$$

4. MN、MPが共に飽和領域で動作している時上記

* (29)式および(35)式より、

$$V_{MB} = \{ (V_{GDB} - V_{ID})^2 - (V_{GDB} - V_{in})^2 \} / P$$

$$\dots (40)$$

以上をまとめると、図4の電流 i_{Λ} は、以下のように与
えられる。ただし、分かりやすくするため、以下では K
 $n = K_p = K$ の時のみ示す。

※

$$i_{\Lambda} = 0$$

$$\dots (41)$$

2. $V_{GDB} - V_{MB} \geq V_{in}$ あるいは $V_{GDB} - V_{MB} \leq V_{ID}$ の時、

$$i_{\Lambda} \neq 0$$

$$\dots (42)$$

であり、さらに

☆ (a) $V_{AB} < V_{GDB} - V_{in}$ かつ $V_{GDB} < V_{ID}$ の時、

$$i_{\Lambda} = K \{ 2 (V_{GDB} - V_{MB} - V_{in}) (V_{AB} - V_{MB}) - (V_{AB} - V_{MB})^2 \}$$

$$\dots (43)$$

$$V_{MB} = \{ 2 (V_{in} - V_{GDB}) V_{AB} + V_{AB}^2 \} / P$$

$$\dots (44)$$

(b) $V_{AB} < V_{GDB} - V_{in}$ かつ $V_{GDB} \geq V_{ID}$ の時、

$$i_{\Lambda} = K \{ 2 (V_{GDB} - V_{MB} - V_{in}) (V_{AB} - V_{MB}) - (V_{AB} - V_{MB})^2 \}$$

$$\dots (45)$$

$$V_{MB} = \{ V_{AB}^2 + 2 (V_{in} - V_{GDB}) V_{AB} + (V_{GDB} - V_{ID})^2 \} / P$$

$$\dots (46)$$

(c) $V_{AB} \geq V_{GDB} - V_{in}$ かつ $V_{GDB} < V_{ID}$ の時、

$$i_{\Lambda} = K (V_{GDB} - V_{MB} - V_{ID})^2$$

$$\dots (47)$$

$$V_{MB} = - \{ (V_{GDB} - V_{in})^2 \} / P$$

$$\dots (48)$$

(d) $V_{AB} \geq V_{GDB} - V_{in}$ かつ $V_{GDB} \geq V_{ID}$ の時、

$$i_{\Lambda} = K (V_{GDB} - V_{MB} - V_{in})^2$$

$$\dots (49)$$

$$V_{MB} = \{ (V_{GDB} - V_{ID})^2 - (V_{GDB} - V_{in})^2 \} / P$$

$$\dots (50)$$

〔2-3〕V型I-V特性を実現する基本回路

次に、〔2-1〕で述べたコア回路の各端子に図5のよ

路を上下反転した回路となっている。この回路の端子B
-A間にV型のI-V特性が得られる。ここで、図5に
示すように端子Aを基準とした各節点の電圧を取ると、

上記(2)および(9)式より、MNとMPのゲート端子の電位 V_{GnA} 、 V_{GpA} は次式で与えられる。

$$V_{GnA} = \{C_{N1} V_{N1A} + C_{N2} (V_{BA} + V_{N2B})\} / (C_{N1} + C_{N2}) \quad \dots (51)$$

$$V_{GpA} = (C_{P1} V_{P1A} + C_{P2} V_{P2A}) / (C_{P1} + C_{P2}) \quad \dots (52)$$

また、MNのゲート・ソース間電圧 V_{GSn} 、ドレイン・ソース間電圧 V_{DSn} およびMPのゲート・ソース間電圧 V_{GSp} 、ドレイン・ソース間電圧 V_{DSp} は、次式で表す※

$$V_{GSn} = V_{GnA} - V_{MA} \quad \dots (53)$$

$$V_{DSn} = -V_{MA} \quad \dots (54)$$

$$V_{GSp} = V_{GpA} - V_{MA} \quad \dots (55)$$

$$V_{DSp} = V_{BA} - V_{MA} \quad \dots (56)$$

前記〔2-2〕章と同様な方法を用いて図中の電流 i_v 、 $= -i_{Dn} = -i_{Dp}$ を求めると以下ようになる。ただし、分かりやすくするため、 $K_n = K_p = K$ とした。

$$i_v = 0 \quad \dots (57)$$

$$2. V_{GnA} - V_{MA} \geq V_{in} \text{ かつ } V_{GpA} - V_{MA} \leq V_{ip} \text{ (M} \star \star N, MP \text{ 共に反転状態) の時,}$$

$$i_v \neq 0 \quad \dots (58)$$

であり、さらに (a) $V_{GnA} > V_{in}$ かつ $V_{BA} > V_{GpA} - V_{ip}$ (MN、MP共に三極管領域) の時、

$$i_v = -K \{2(V_{MA} - V_{GnA} + V_{in}) V_{MA} - V_{MA}^2\} \quad \dots (59)$$

$$V_{MA} = \{2(V_{GpA} - V_{ip}) V_{BA} - V_{BA}^2\} / P \quad \dots (60)$$

(b) $V_{GnA} > V_{in}$ (MNが三極管領域) かつ $V_{BA} \leq V_{GpA} - V_{ip}$ (MPが飽和領域) の時、

$$i_v = -K \{2(V_{MA} - V_{GnA} + V_{in}) V_{MA} - V_{MA}^2\} \quad \dots (61)$$

$$V_{MA} = \{(V_{GpA} - V_{ip})^2\} / P \quad \dots (62)$$

(c) $V_{GnA} \leq V_{in}$ (MNが飽和領域) かつ $V_{BA} > V_{GpA} - V_{ip}$ (MPが三極管領域) の時、

$$i_v = -K (V_{GnA} - V_{MA} - V_{in})^2 \quad \dots (63)$$

$$V_{MA} = \{2(V_{GpA} - V_{ip}) V_{BA} - V_{BA}^2 - (V_{GnA} - V_{in})^2\} / P \quad \dots (64)$$

(d) $V_{GnA} \leq V_{in}$ かつ $V_{BA} \leq V_{GpA} - V_{ip}$ (MN、MP共に飽和領域) の時、

$$i_v = -K (V_{GnA} - V_{MA} - V_{in})^2 \quad \dots (65)$$

$$V_{MA} = \{(V_{GpA} - V_{ip})^2 - (V_{GnA} - V_{in})^2\} / P \quad \dots (66)$$

〔2-4〕Λ型I-V非線形抵抗回路の改良

ここでは、〔2-2〕章で述べたΛ型I-V非線形抵抗基本回路に改良を加え、さらに幅広いI-V特性が得られる回路を説明する。

【0060】図4の回路中の端子Aおよび端子Bにそれぞれ電圧源 v_x と v_y を付加する。これらの電圧源を加える方法には、図6に示すような16通りの接続が考え☆

$$V_{GnY} = (C_{N1} V_{N1Y} + C_{N2} V_{N2Y}) / (C_{N1} + C_{N2}) \quad \dots (67)$$

$$V_{GpY} = \{C_{P1} (V_{XY} - V_X + V_{P1A}) + C_{P2} V_{P2Y}\} / (C_{P1} + C_{P2}) \quad \dots (68)$$

$$V_{DSn} = V_{XY} - V_X - V_{MY} \quad \dots (69)$$

$$V_{DSp} = V_Y - V_{MY} \quad \dots (70)$$

$$V_{GSn} = V_{GnY} - V_{MY} \quad \dots (71)$$

$$V_{GSp} = V_{GpY} - V_{MY} \quad \dots (72)$$

である。

【0062】さらに図4と図7を比較すると、両図中の

$$V_{AB} = V_{XY} - V_X - V_Y \quad \dots (73)$$

$$V_{MB} = V_{MY} - V_Y \quad \dots (74)$$

$$V_{N1B} = V_{N1Y} - V_Y \quad \dots (75)$$

☆られる。図中で網掛けを施した正方形は、この部分に図3に示したコア回路が入ることを示している。図6に挙げた回路は、どれも同様な特性を示すので、以下では、図6中の図6(f)の回路に付いて詳しく述べる。この回路を図7に示す。

【0061】ここで、各節点の端子Yを基準とした電位を図7に示すように取ると、まず、

各電圧間に以下の関係がある。

17

$$V_{N2B} = V_{N2Y} - V_Y$$

$$V_{P2B} = V_{P2Y} - V_Y$$

$$V_{GnB} = V_{GnY} - V_Y$$

$$V_{GpB} = V_{GpY} - V_Y$$

以上の関係を〔2-2〕章の各式に代入することにより、図7の回路の動作式が以下のように得られる。ここでも、分かりやすくするため、 $K_n = K_p = K$ とした。*

$$i\Delta = 0$$

2. $V_{GnY} - V_{MY} \geq V_{ID}$ かつ $V_{GpY} - V_{MY} \leq V_{ID}$ (M※

$$i\Delta \neq 0$$

であり、さらに、(a) $V_{XY} < V_X + V_{GnY} - V_{In}$ かつ $V_{GpY} < V_Y + V_{ID}$ (MN、MP共に三極管領域)の★

$$i\Delta = K \{ 2 (V_{GnY} - V_{MY} - V_{In}) (V_{XY} - V_X - V_{MY}) - (V_{XY} - V_X - V_{MY})^2 \} \quad \dots (82)$$

$$V_{MY} = \{ V^2_{XY} + 2 (V_{In} - V_{GnY}) V_{XY} + \{ 2 (V_{GnY} - V_{XY} - V_{In}) + V_X \} V_X + \{ 2 (V_{GpY} - V_{ID}) - V_Y \} V_Y \} / Q \quad \dots (83)$$

ここで、

$$Q = 2 (V_{GpY} - V_{GnY} + V_{In} - V_{ID}) \quad \dots (84)$$

である(以下同様)。

【0064】(b) $V_{XY} < V_X + V_{GnY} - V_{In}$ (MNが☆領域)の時、

$$i\Delta = K \{ 2 (V_{GnY} - V_{MY} - V_{In}) (V_{XY} - V_X - V_{MY}) - (V_{XY} - V_X - V_{MY})^2 \} \quad \dots (85)$$

$$V_{MY} = \{ V^2_{XY} + 2 (V_{In} - V_{GnY}) V_{XY} + \{ 2 (V_{GnY} - V_{XY} - V_{In}) + V_X \} V_X + (V_{GpY} - V_{ID})^2 \} / Q \quad \dots (86)$$

(c) $V_{XY} \geq V_X + V_{GnY} - V_{In}$ (MNが飽和領域)か◆ ◆かつ $V_{GpY} < V_Y + V_{ID}$ (MPが三極管領域)の時、

$$i\Delta = K (V_{GnY} - V_{MY} - V_{In})^2 \quad \dots (87)$$

$$V_{MY} = \{ \{ 2 (V_{GpY} - V_{ID}) - V_Y \} V_Y - (V_{GnY} - V_{In})^2 \} / Q \quad \dots (88)$$

(d) $V_{XY} \geq V_X + V_{GnY} - V_{In}$ かつ $V_{GpY} \geq V_Y + V_{ID}$ (MN、MP共に飽和領域)の時、

$$i\Delta = K (V_{GnY} - V_{MY} - V_{In})^2 \quad \dots (89)$$

$$V_{MA} = \{ (V_{GpY} - V_{ID})^2 - (V_{GnY} - V_{In})^2 \} / Q \quad \dots (90)$$

〔2-5〕V型I-V非線形抵抗回路の改良

前章と同様に、〔2-3〕で示したV型I-V非線形抵抗基本回路に改良を加える。

【0065】図5の回路中の端子Bおよび端子Aにそれぞれ電圧源 V_X と V_Y を付加する。これらの電圧源を加える方法には図8に示すような16通りの接続が考えられる。図中で網掛けを施した正方形は、この部分に図3※

※に示したコア回路が入ることを示している。ここで、コア回路の上下が反転していることに注意されたい。図に挙げた回路は、どれも同様な特性を示すので、以下では、図8中の図8(f)の回路について詳しく述べる。この回路を図9に示す。

【0066】回路の各節点の端子Yを基準とした電位を図9のように記すと、

$$V_{GnY} = \{ C_{N1} V_{N1Y} + C_{N2} (V_{XY} - V_X + V_{N2B}) \} / (C_{N1} + C_{N2}) \quad \dots (91)$$

$$V_{GpY} = (C_{P1} V_{P1Y} + C_{P2Y} V_{P2Y}) / (C_{P1} + C_{P2}) \quad \dots (92)$$

$$V_{DSn} = V_Y - V_{MY} \quad \dots (93)$$

$$V_{DSp} = V_{XY} - V_X - V_{MY} \quad \dots (94)$$

$$V_{GSn} = V_{GnY} - V_{MY} \quad \dots (95)$$

$$V_{GSp} = V_{GpY} - V_{MY} \quad \dots (96)$$

を得る。さらに、図5と図9を比較すると、両図中の各電圧間に以下の関係がある。

$$V_{BA} = V_{XY} - V_X - V_Y \quad \dots (97)$$

$$V_{MA} = V_{MY} - V_Y \quad \dots (98)$$

$$V_{N1A} = V_{N1Y} - V_Y \quad \dots (99)$$

【0067】

19

$$V_{P1A} = V_{P1Y} - V_Y$$

$$V_{P2A} = V_{P2Y} - V_Y$$

$$V_{G1A} = V_{G1Y} - V_Y$$

$$V_{G2A} = V_{G2Y} - V_Y$$

以上の関係を〔2-3〕章で示した各式に代入することにより、図9の回路の動作式が以下のように得られる。ただし、分かりやすくするため、 $K_n = K_p = K$ とした。

$$i_v = 0$$

2. $V_{G1Y} - V_{M1Y} \geq V_{in}$ かつ $V_{G2Y} - V_{M2Y} \leq V_{ip}$ ($M \times 10 \times N$ 、MP共に反転状態)の時、

$$i_v \neq 0$$

であり、さらに (a) $V_Y < V_{G1Y} - V_{in}$ かつ $V_{XY} > V_{\star}$ $\star_X + V_{G2Y} - V_{ip}$ (MN、MP共に三極管領域)の時、

$$i_v = K \{ 2 (V_{G1Y} - V_{M1Y} - V_{in}) (V_Y - V_{M1Y}) - (V_Y - V_{M1Y})^2 \} \quad \dots (104)$$

$$V_{M1Y} = \{ -V_{XY}^2 + 2 (V_{G2Y} - V_{ip}) V_{XY} + \{ 2 (V_{XY} - V_{G2Y} + V_{ip}) - V_X \} V_X + \{ 2 (V_{in} - V_{G1Y}) + V_Y \} V_Y \} / Q \quad \dots (105)$$

(b) $V_Y < V_{G1Y} - V_{in}$ (MNが三極管領域) かつ $V_{\star_X} \leq V_X + V_{G2Y} - V_{ip}$ (MPが飽和領域)の時、

$$i_v = K \{ 2 (V_{G1Y} - V_{M1Y} - V_{in}) (V_Y - V_{M1Y}) - (V_Y - V_{M1Y})^2 \} \quad \dots (106)$$

$$V_{M1Y} = \{ \{ 2 (V_{in} - V_{G1Y}) + V_Y \} V_Y + (V_{G2Y} - V_{ip})^2 \} / Q \quad \dots (107)$$

(c) $V_Y \geq V_{G1Y} - V_{in}$ (MNが飽和領域) かつ $V_{XY} \blacklozenge \blacklozenge > V_X + V_{G2Y} - V_{ip}$ (MPが三極管領域)の時、

$$i_v = K (V_{G1Y} - V_{M1Y} - V_{in})^2 \quad \dots (108)$$

$$V_{M1Y} = \{ -V_{XY}^2 + 2 (V_{G2Y} - V_{ip}) V_{XY} + \{ 2 (V_{XY} - V_{G2Y} + V_{ip}) - V_X \} V_X - (V_{G1Y} - V_{in})^2 \} / Q \quad \dots (109)$$

(d) $V_Y \geq V_{G1Y} - V_{in}$ かつ $V_{XY} \leq V_X + V_{G2Y} - V_{\star_X}$ \star_{ip} (MN、MP共に飽和領域)の時、

$$i_v = K (V_{G1Y} - V_{M1Y} - V_{in})^2 \quad \dots (110)$$

$$V_{M1Y} = \{ (V_{G2Y} - V_{ip})^2 - (V_{G1Y} - V_{in})^2 \} / Q \quad \dots (111)$$

〔3〕数値シミュレーション

上記〔2〕章で求めた動作式を用いたコンピュータシミュレーションにより、図7の回路のI-V特性を計算した。この時用いたデバイスパラメータは以下の通りである。

$$\cdot K_n = K_p = 300 \mu A/V^2$$

$$\cdot V_{in} = 0.7 V$$

$$\cdot V_{ip} = -0.7 V$$

$$\cdot C_{N1} = C_{N2} = C_{P1} = C_{P2} = 0.1 \mu F$$

図10に、 $V_{P2Y} = -4 V$ 、 $V_{N2Y} = 2.5 V$ 、 $V_{P1A} = V_Y = 0 V$ とし、 V_{N1Y} と V_X をパラメータとした時の、 V_{XY} に対する i_A の特性を示す。

【0069】さらに、 $V_{P2Y} = -4 V$ 、 $V_{N1Y} = 3 V$ 、 $V_{P1A} = V_X = 0 V$ とし、 $V_{N2Y} = V_Y$ の条件の下で、 V_Y をパラメータとした時の、 V_{XY} に対する i_A の特性を図11に示す。次に、図9の回路の特性のシミュレーション結果を示す。デバイスパラメータは、上に挙げたものと同じである。

【0070】図11に、図7の回路において V_Y をパラメータとした時の V_{XY} に対する i_A の特性を示す。図12に、 $V_{P2Y} = -4 V$ 、 $V_{P1Y} = V_{N2B} = V_Y = 0 V$ とし、 V_{N1Y} および V_X をパラメータとした時の、 V_{XY} に

20

$$\dots (100)$$

$$\dots (101)$$

$$\dots (102)$$

$$\dots (103)$$

*【0068】1. $V_{G1Y} - V_{M1Y} < V_{in}$ (MNが遮断領域) あるいは $V_{G2Y} - V_{M2Y} > V_{ip}$ (MPが遮断領域)の時、

$$\dots (104)$$

$$\dots (105)$$

$$\dots (106)$$

$$\dots (107)$$

$$\dots (108)$$

$$\dots (109)$$

$$\dots (110)$$

$$\dots (111)$$

$$\dots (112)$$

$$\dots (113)$$

対する i_v の特性を示す。さらに、図13に、図9の回路において、 $V_{P2Y} = -4 V$ 、 $V_{N1Y} = 2.5 V$ 、 $V_{N2B} = V_X = 0 V$ とし、 $V_{N2Y} = V_Y$ の条件の下で、 V_Y をパラメータとした時の、 V_{XY} に対する i_v の特性を示す。

【0071】これらの計算シミュレーションにより、本発明の回路がΛ型およびV型の非線形抵抗特性を示すことが確認された。また、外部電圧によりそのI-V特性を変化させることが可能であり、図14に示したような多様な非線形抵抗特性が得られることも確認された。

〔4〕個別部品による実験

40 本発明の回路を個別電子部品により試作した。回路中のMOSFET MNおよびMPは、CMOS-IC HD 14007 UBP中のFETを用いた。また、結合容量は、 $C_{N1} = C_{N2} = C_{P1} = C_{P2} = 0.1 \mu F$ とした。

【0072】図15に図7において、 $V_{P2Y} = -4 V$ 、 $V_{N2Y} = 3.2 V$ 、 $V_{P1A} = V_Y = 0 V$ とし、 V_{N1Y} と V_X をパラメータとした時の、 V_{XY} に対する i_A の測定結果を示す。この結果は、図10に示した数値シミュレーションの結果に対応する。さらに、図16に図7において、 $V_{N1Y} = 3.5 V$ 、 $V_{P2A} = -4 V$ 、 $V_{P1A} = V_X = 0 V$ とし、 $V_{N2Y} = V_Y$ の条件の下で、 V_Y をパラ

メータとした時の、 v_{xy} に対する i_{Λ} の測定結果を示す。この結果は、図11に示した数値シミュレーションの結果に対応する。

【0073】次に、図9の回路において、 $v_{p2y} = -4V$ 、 $v_{n2b} = v_{p1y} = v_y = 0V$ とし、 v_{n1y} と v_x をパラメータとした時の、 v_{xy} に対する i_v の特性を図17に示す。この結果は、図12に示した数値シミュレーションの結果に対応する。さらに、図9の回路において、 $v_{p2y} = -4V$ 、 $v_{n1y} = 3.2V$ 、 $v_{n2b} = v_x = 0V$ とし、 $v_{n2y} = v_y$ の条件の下で、 v_y をパラメータとした時の、 v_{xy} に対する i_v の特性を図18に示す。この結果は、図13に示した数値シミュレーションの結果に対応する。

【0074】以上の実験結果は、前章に示したシミュレーション結果と定性的に良く一致する。従って、実験によっても本発明の回路の非線形抵抗特性が確認された。上記したように、標準的な、CMOSプロセスで集積回路化可能な非線形抵抗回路を得ることができた。本発明の回路によれば、外部からの制御電圧を調整することにより、多様な Λ 字あるいはV字型のI-V特性を実現することが可能である。

【0075】従って、本発明の回路は各種信号処理回路や発振器、インダクタンスシミュレーション回路、メモリ回路や論理回路、さらにはカオスを発生させる回路等への応用が期待できる。さらに、パルス型ハードウェアカオスニューロン回路〔上記⑤第5文献参照〕の集積回路化にも有効であると考えられる。また、フローティングゲート技術を用いて集積回路化〔前記⑥第6及び⑦の第7文献参照〕することにより、これらの応用回路の小型化が可能である。

【0076】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0077】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(1) 同一回路構成で Λ 型とV型の非線形抵抗特性が得られる。

(2) 外部からの制御電圧により、多様な非線形抵抗特性を実現することができる。

(3) エンハンスメント型MOSFETのみを用いているため、標準的なCMOSプロセスで集積回路化が可能である。

(4) 入力結合容量に非線形キャパシタも使用可能であるので、線形キャパシタが利用できない安価なCMOSプロセスでも集積回路化が可能である。

(5) 使用するMOSFETのサイズを小さくすれば、相対的に入力結合容量も小さくすることができる。また、この際、寄生容量 C_0 。『[1-1]章参照』は回路

の特性に本質的な影響を与えない。従って、回路の小型化を容易にすることができる。

(6) ν MOSFET等を用いれば、非常に小型にでき、効率的な集積回路化が可能である。

【図面の簡単な説明】

【図1】本発明に係る容量結合多入力NチャネルMOSFETの回路図である。

【図2】本発明に係るm個の容量結合入力端子を持つPMOSFETの回路図である。

【図3】本発明の実施例を示す非線形抵抗回路のコアとなる回路図である。

【図4】本発明の実施例を示す Λ 字型のI-V特性を実現する基本回路図である。

【図5】本発明の実施例を示すV字型のI-V特性を実現する基本回路図である。

【図6】本発明の実施例を示す Λ 字型のI-V特性を実現する非線形抵抗回路である。

【図7】本発明の実施例を示す Λ 字型のI-V特性を実現する非線形抵抗回路の一つを示す図である。

【図8】本発明の実施例を示すV字型のI-V特性を実現する非線形抵抗回路図である。

【図9】本発明の実施例を示すV字型のI-V特性を実現する非線形抵抗回路の一つを示す図である。

【図10】図7の回路において v_{n1y} および v_x をパラメータとした時の v_{xy} に対する i_{Λ} のシミュレーション結果を示す図である。

【図11】図7の回路において v_y をパラメータとした時の v_{xy} に対する i_{Λ} の特性を示す図である。

【図12】図9の回路において v_{n1y} および v_x をパラメータとした時の v_{xy} に対する i_v のシミュレーション結果を示す図である。

【図13】図9の回路において v_y をパラメータとした時の v_{xy} に対する i_v の特性を示す図である。

【図14】本発明の実施例を示す多様な非線形抵抗特性図である。

【図15】図7において、 $v_{p2y} = -4V$ 、 $v_{n2y} = 3.2V$ 、 $v_{p1a} = v_y = 0V$ とし、 v_{n1y} と v_x をパラメータとした時の、 v_{xy} に対する i_{Λ} の測定結果を示す図である。

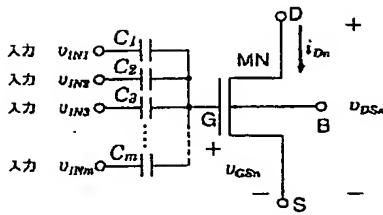
【図16】図7において、 $v_{n1y} = 3.5V$ 、 $v_{p2a} = -4V$ 、 $v_{p1a} = v_x = 0V$ とし、 $v_{n2y} = v_y$ の条件の下で、 v_y をパラメータとした時の、 v_{xy} に対する i_{Λ} の測定結果を示す図である。

【図17】図9の回路において、 $v_{p2y} = -4V$ 、 $v_{n2b} = v_{p1y} = v_y = 0V$ とし、 v_{n1y} と v_x をパラメータとして時の、 v_{xy} に対する i_v の特性を示す図である。

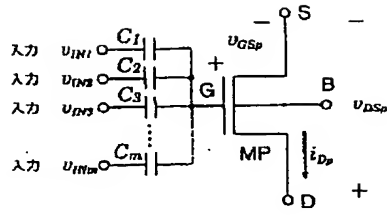
【図18】図9の回路において、 $v_{p2y} = -4V$ 、 $v_{n1y} = 3.2V$ 、 $v_{n2b} = v_x = 0V$ とし、 $v_{n2y} = v_y$ の条件の下で、 v_y をパラメータとした時の、 v_{xy} に

対する i_v の特性を示す図である。

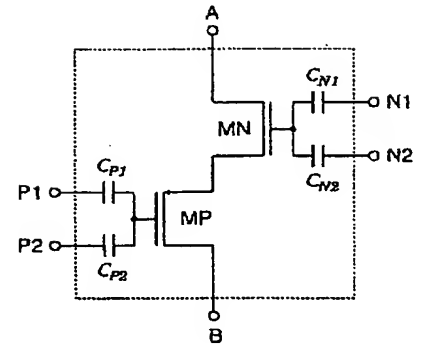
【図 1】



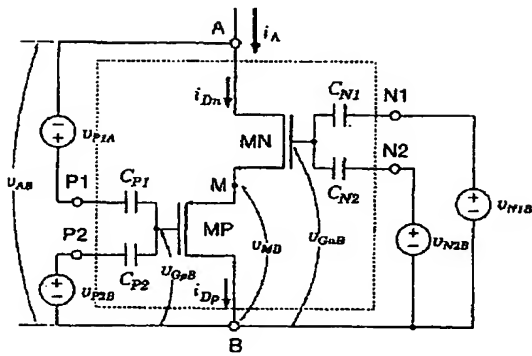
【図 2】



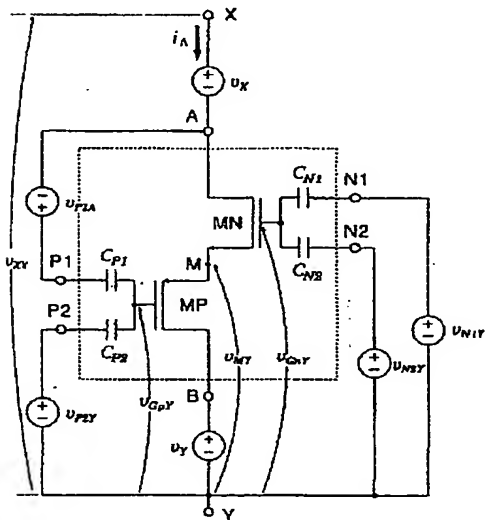
【図 3】



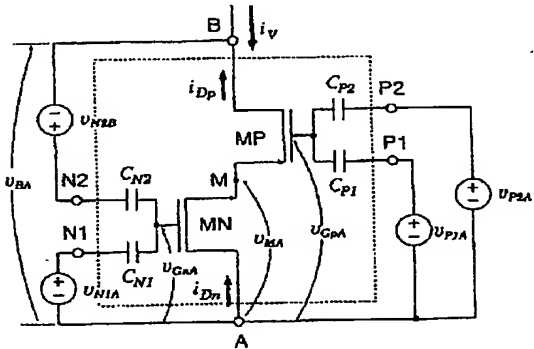
【図 4】



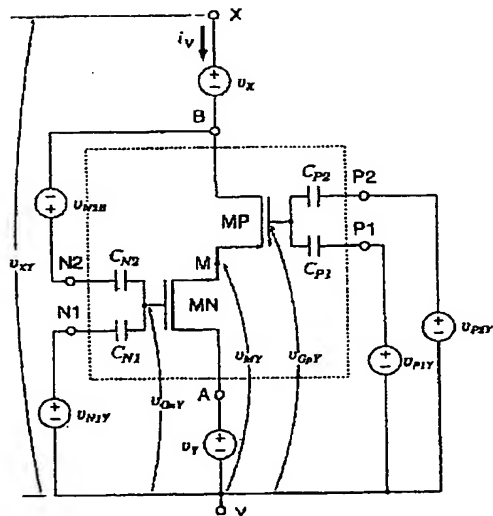
【図 7】



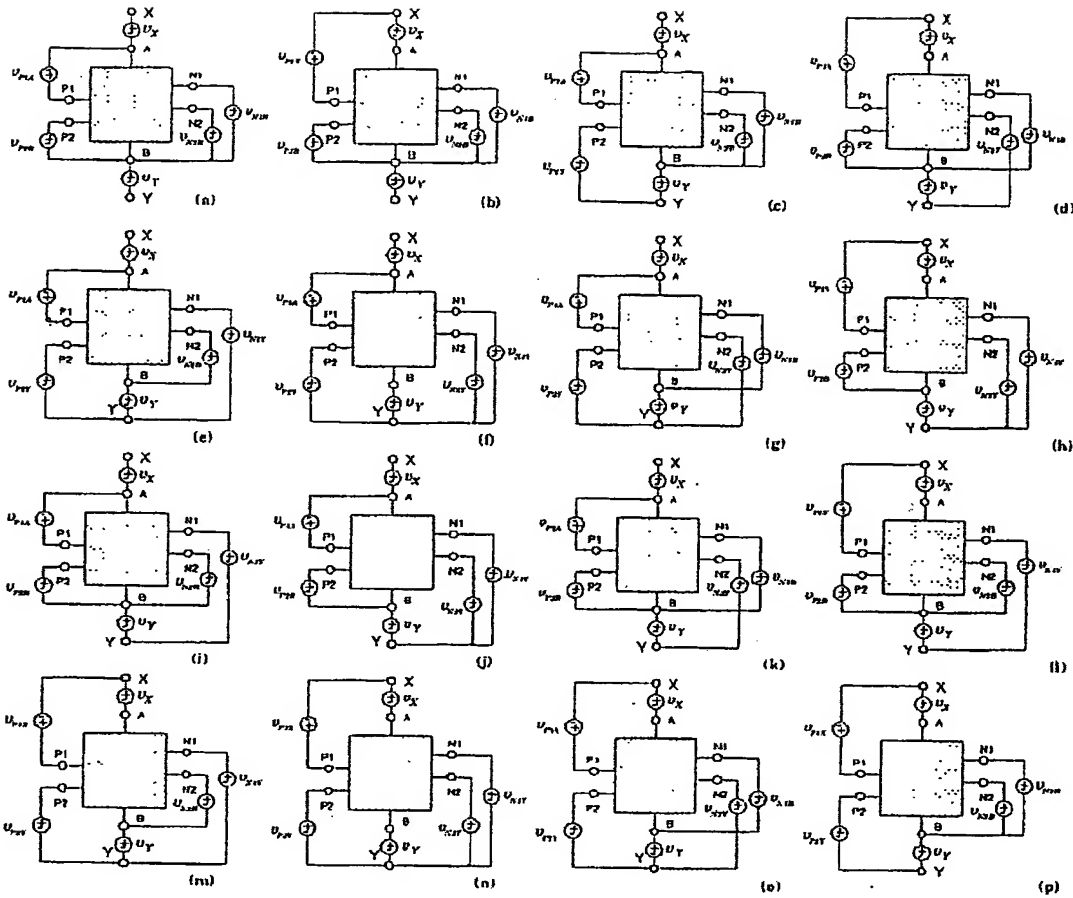
【図 5】



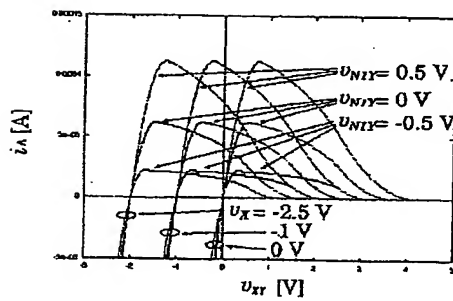
【図 9】



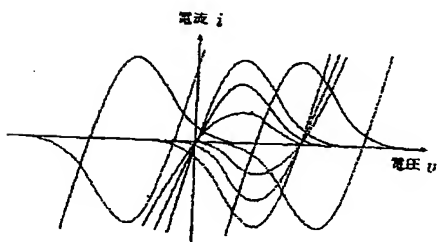
【図 6】



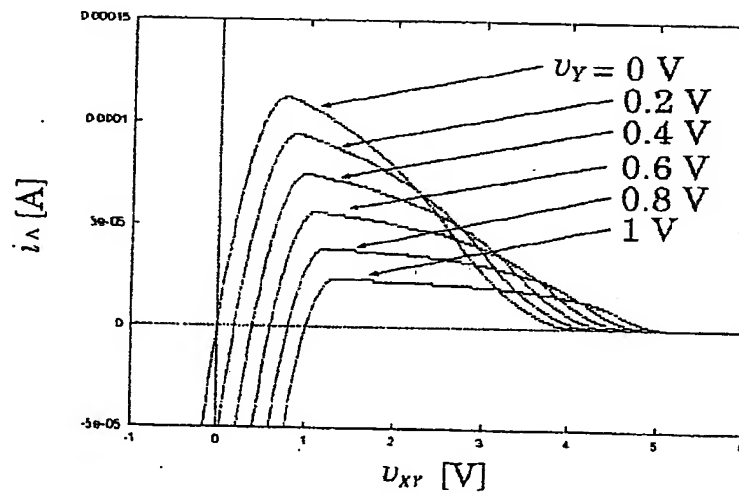
【図 10】



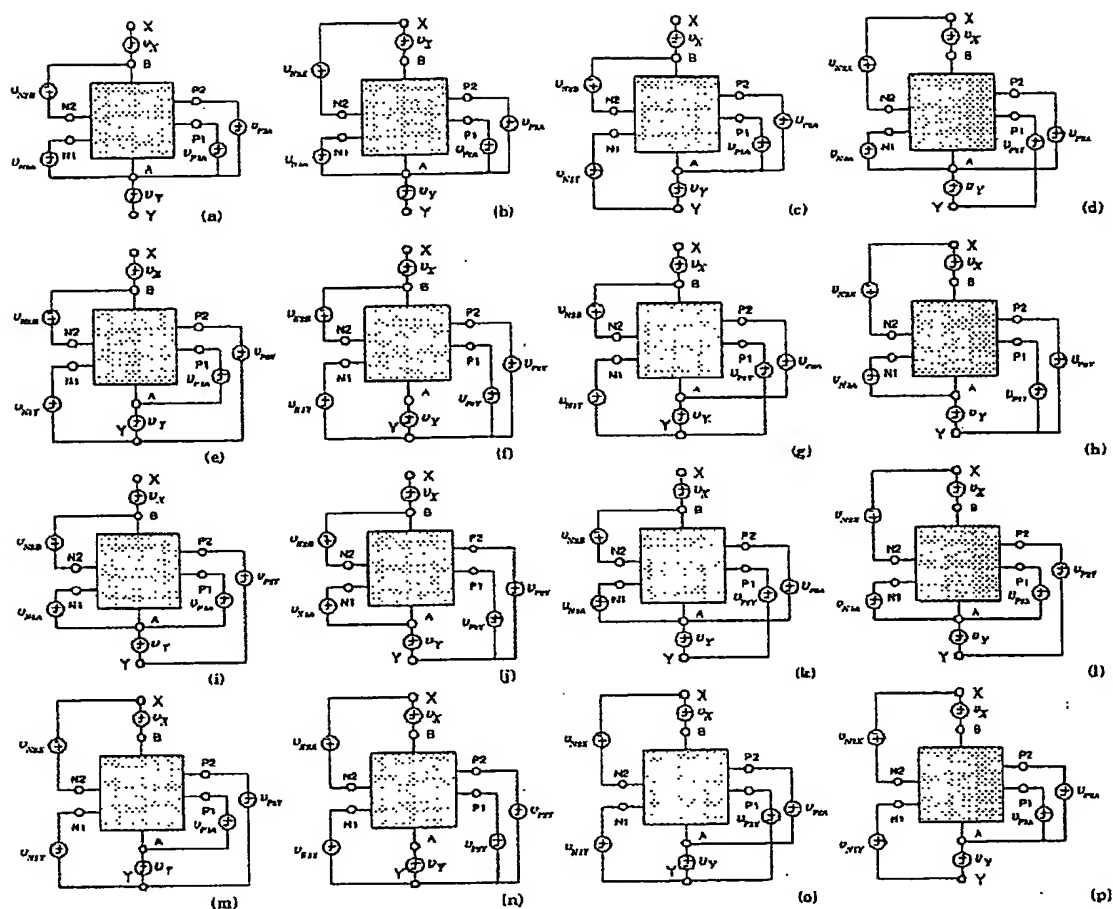
【図 14】



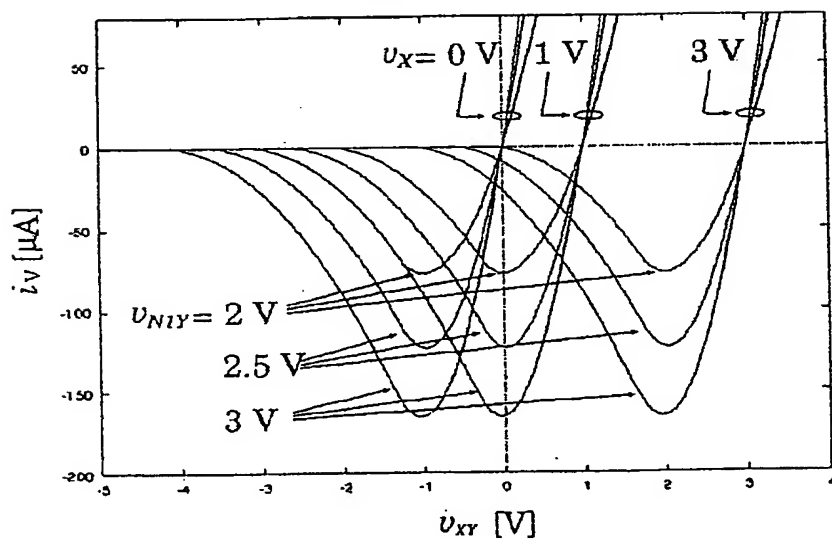
【図 11】



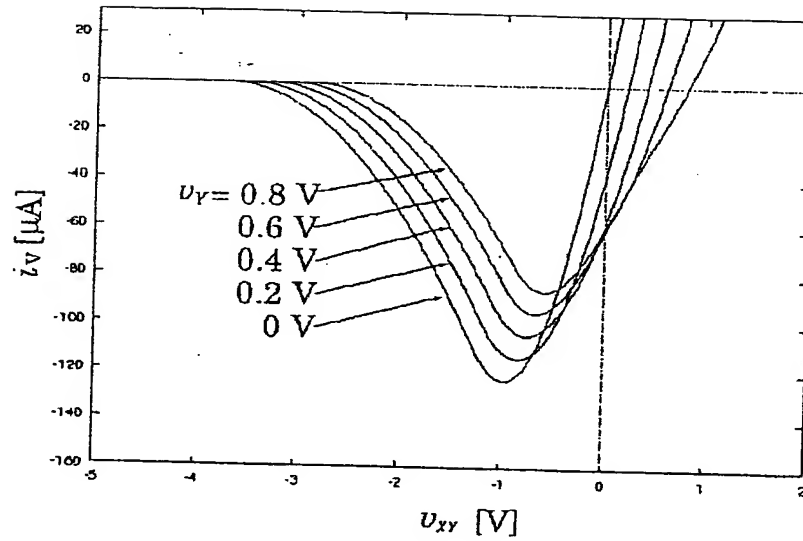
【図 8】



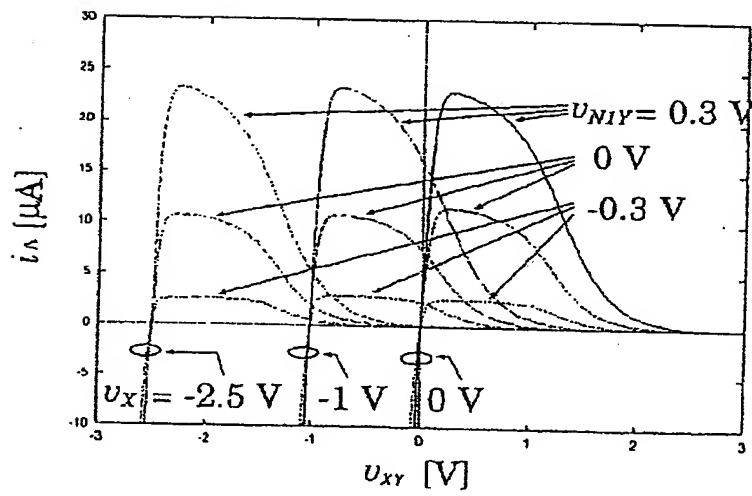
【図 12】



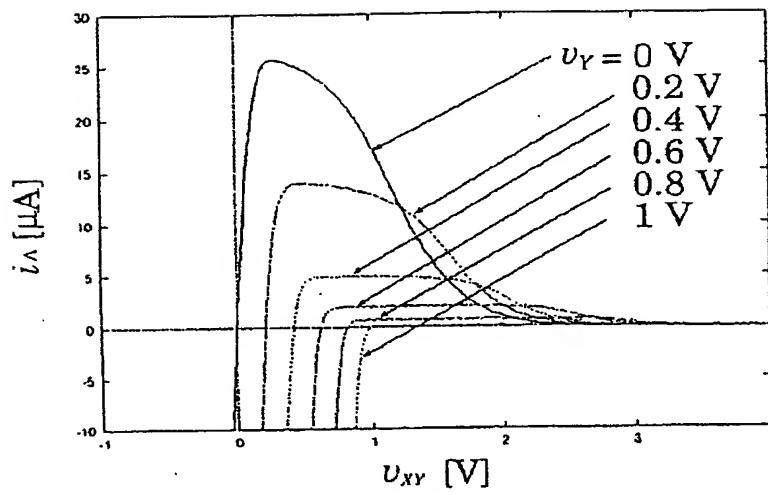
【図 13】



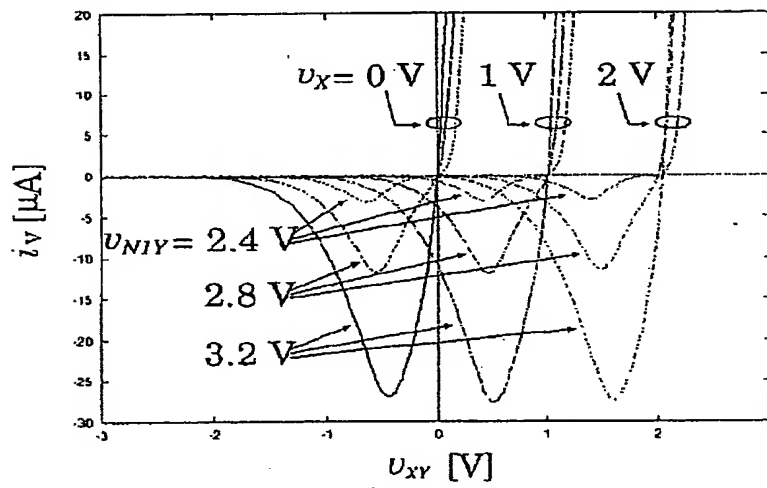
【図 15】



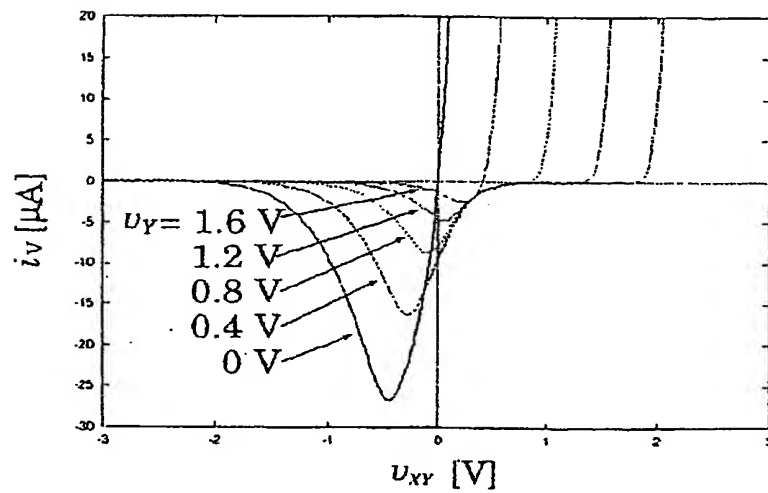
【図 16】



【図 17】



【図 18】



【手続補正書】

【提出日】平成 11 年 10 月 1 日 (1999. 10. 1)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】(a) 容量結合多入力ゲート端子を有するエンハンスメント型の N チャンネル MOSFET と、

(b) 容量結合多入力ゲート端子を有するエンハンスメント型の P チャンネル MOSFET と、(c) 前記各 MOSFET のソース端子どうしを接続した非線形抵抗特性を有するコア回路とを備え、(d) 前記 N チャンネル MOSFET のドレイン端子と第 1 の入出力端子間に与えられる第 5 の電位と、前記 P チャンネル MOSFET のドレイン端子と第 2 の入出力端子間に与えられる第 6 の電位とを有し、前記 P チャンネル MOSFET のゲートに接続される第 1 の容量と前記 N チャンネル MOSFET のドレイン端子又は第 1 の入出力端子間に与えられる第 1 の電位と、前記 P チャンネル MOSFET のゲートに接続される第 2 の容量と前記 P チャンネル MOSFET のドレイン端子又は第 2 の入出力端子間に与えられる第 2 の電位と、前記 N チャンネル MOSFET のゲートに接続される第 3 の容量と前記 P チャンネル MOSFET のドレイン端子又は第 2 の入出力端子間に与えられる第 3 の電位と、前記 N チャンネル MOSFET のゲートに接続される第 4 の容量と前記 P チャンネル MOSFET のドレイン端子又は第 2 の入出力端子間に与えられる第 4 の電位とを有し、 Λ 型電流-電圧特性を得るとともに、外部からの制御電圧により、前記 Λ 型電流-電圧特性を多様に変化させることを特徴とする容量結合多入力 MOSFET を用いた非線形抵抗回路。

【請求項 2】(a) 容量結合多入力ゲート端子を有するエンハンスメント型の P チャンネル MOSFET と、(b) 容量結合多入力ゲート端子を有するエンハンスメント型の N チャンネル MOSFET と、(c) 前記各 MOSFET のソース端子どうしを接続した非線形抵抗特性を有するコア回路とを備え、(d) 前記 P チャンネル MOSFET のドレイン端子と第 1 の入出力端子間に与えられる第 11 の電位と、前記 N チャンネル MOSFET のドレイン端子と第 2 の入出力端子間に与えられる第 12 の電位とを有し、前記 N チャンネル MOSFET のゲートに接続される第 5 の容量と前記 P チャンネル MOSFET のドレイン端子又は第 1 の入出力端子間に与えられる第 7 の電位と、前記 N チャンネル MOSFET のゲートに接続される第 6 の容量と前記 N チャンネル MOSFET のドレイン端子又は第 2 の入出力端子間に与えられる第 8 の電位と、前記 P チャンネル MOSFET のゲートに接続され

る第 7 の容量と前記 N チャンネル MOSFET のドレイン端子又は第 2 の入出力端子間に与えられる第 9 の電位と、前記 P チャンネル MOSFET のゲートに接続される第 8 の容量と前記 N チャンネル MOSFET のドレイン端子又は第 2 の入出力端子間に与えられる第 10 の電位とを有し、V 型電流-電圧特性を得るとともに、外部からの制御電圧により、前記 V 型電流-電圧特性を多様に変化させることを特徴とする容量結合多入力 MOSFET を用いた非線形抵抗回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】

【課題を解決するための手段】本発明は、上記目的を達成するために、

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】(1) 容量結合多入力 MOSFET を用いた非線形抵抗回路において、容量結合多入力ゲート端子を有するエンハンスメント型の N チャンネル MOSFET と、容量結合多入力ゲート端子を有するエンハンスメント型の P チャンネル MOSFET と、前記各 MOSFET のソース端子どうしを接続した非線形抵抗特性を有するコア回路とを備え、前記 N チャンネル MOSFET のドレイン端子と第 1 の入出力端子間に与えられる第 5 の電位と、前記 P チャンネル MOSFET のドレイン端子と第 2 の入出力端子間に与えられる第 6 の電位とを有し、前記 P チャンネル MOSFET のゲートに接続される第 1 の容量と前記 N チャンネル MOSFET のドレイン端子又は第 1 の入出力端子間に与えられる第 1 の電位と、前記 P チャンネル MOSFET のゲートに接続される第 2 の容量と前記 P チャンネル MOSFET のドレイン端子又は第 2 の入出力端子間に与えられる第 2 の電位と、前記 N チャンネル MOSFET のゲートに接続される第 3 の容量と前記 P チャンネル MOSFET のドレイン端子又は第 2 の入出力端子間に与えられる第 3 の電位と、前記 N チャンネル MOSFET のゲートに接続される第 4 の容量と前記 P チャンネル MOSFET のドレイン端子又は第 2 の入出力端子間に与えられる第 4 の電位とを有し、 Λ 型電流-電圧特性を得るとともに、外部からの制御電圧により、前記 Λ 型電流-電圧特性を多様に変化させることを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】 0 0 1 2

【補正方法】 変更

【補正内容】

【0 0 1 2】すなわち、図 6 (a) ～図 6 (p) 及び図 7 に示すように、前記 N チャンネル MOSFET のドレイン端子 (A) と第 1 の入出力端子 (X) 間に与えられる第 5 の電位 (v_i) と、前記 P チャンネル MOSFET のドレイン端子 (B) と第 2 の入出力端子 (Y) 間に与えられる第 6 の電位 (v_r) とを有し、前記 P チャンネル MOSFET のゲートに接続される第 1 の容量 (C_{p1}) と前記 N チャンネル MOSFET のドレイン端子 (A) 又は第 1 の入出力端子 (X) 間に与えられる第 1 の電位 (v_{p1A} , v_{p1X}) と、前記 P チャンネル MOSFET のゲートに接続される第 2 の容量 (C_{p2}) と前記 P チャンネル MOSFET のドレイン端子 (B) 又は第 2 の入出力端子 (Y) 間に与えられる第 2 の電位 (v_{p2B} , v_{p2Y}) と、前記 N チャンネル MOSFET のゲートに接続される第 3 の容量 (C_{n1}) と前記 P チャンネル MOSFET のドレイン端子 (B) 又は第 2 の入出力端子 (Y) 間に与えられる第 3 の電位 (v_{n1B} , v_{n1Y}) と、前記 N チャンネル MOSFET のゲートに接続される第 4 の容量 (C_{n2}) と前記 P チャンネル MOSFET のドレイン端子 (B) 又は第 2 の入出力端子 (Y) 間に与えられる第 4 の電位 (v_{n2B} , v_{n2Y}) とを有するようにしたものである。

【手続補正 5】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 1 3

【補正方法】 変更

【補正内容】

【0 0 1 3】〔2〕容量結合多入力 MOSFET を用いた非線形抵抗回路において、容量結合多入力ゲート端子を有するエンハンスメント型の P チャンネル MOSFET と、容量結合多入力ゲート端子を有するエンハンスメント型の N チャンネル MOSFET と、前記各 MOSFET のソース端子どうしを接続した非線形抵抗特性を有するコア回路とを備え、前記 P チャンネル MOSFET のドレイン端子と第 1 の入出力端子間に与えられる第 1 の電位と、前記 N チャンネル MOSFET のドレイン端子と第 2 の入出力端子間に与えられる第 2 の電位とを有し、前記 N チャンネル MOSFET のゲートに接続される第 5 の容量と前記 P チャンネル MOSFET のドレイン端子又は第 1 の入出力端子間に与えられる第 7 の電位と、前記 N チャンネル MOSFET のゲートに接続される第 6 の容量と前記 N チャンネル MOSFET のドレイン端子又は第 2 の入出力端子間に与えられる第 8 の電位と、前記 P チャンネル MOSFET のゲートに接続される第 7 の容量と前記 N チャンネル MOSFET のドレイン端子又は第 2 の入出力端子間に与えられる第 9 の電位と、前記 P チャンネル MOSFET のゲートに接続される第 8 の容量と前記

N チャンネル MOSFET のドレイン端子又は第 2 の入出力端子間に与えられる第 10 の電位とを有し、V 型電流－電圧特性を得るとともに、外部からの制御電圧により、前記 V 型電流－電圧特性を多様に変化させることを特徴とする。

【手続補正 6】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 1 4

【補正方法】 変更

【補正内容】

【0 0 1 4】すなわち、図 8 (a) ～図 8 (p) 及び図 9 に示すように、前記 P チャンネル MOSFET のドレイン端子 (B) と第 1 の入出力端子 (X) 間に与えられる第 1 の電位 (v_i) と、前記 N チャンネル MOSFET のドレイン端子 (A) と第 2 の入出力端子 (Y) 間に与えられる第 2 の電位 (v_r) とを有し、前記 N チャンネル MOSFET のゲートに接続される第 5 の容量 (C_{n2}) と前記 P チャンネル MOSFET のドレイン端子 (B) 又は第 1 の入出力端子 (X) 間に与えられる第 7 の電位 (v_{n2B} , v_{n2X}) と、前記 N チャンネル MOSFET のゲートに接続される第 6 の容量 (C_{n1}) と前記 N チャンネル MOSFET のドレイン端子 (A) 又は第 2 の入出力端子 (Y) 間に与えられる第 8 の電位 (v_{n1A} , v_{n1Y}) と、前記 P チャンネル MOSFET のゲートに接続される第 7 の容量 (C_{p2}) と前記 N チャンネル MOSFET のドレイン端子 (A) 又は第 2 の入出力端子 (Y) 間に与えられる第 9 の電位 (v_{p2A} , v_{p2Y}) と、前記 P チャンネル MOSFET のゲートに接続される第 8 の容量 (C_{p1}) と前記 N チャンネル MOSFET のドレイン端子 (A) 又は第 2 の入出力端子 (Y) 間に与えられる第 10 の電位 (v_{p1A} , v_{p1Y}) とを有するようにしたものである。

【手続補正 7】

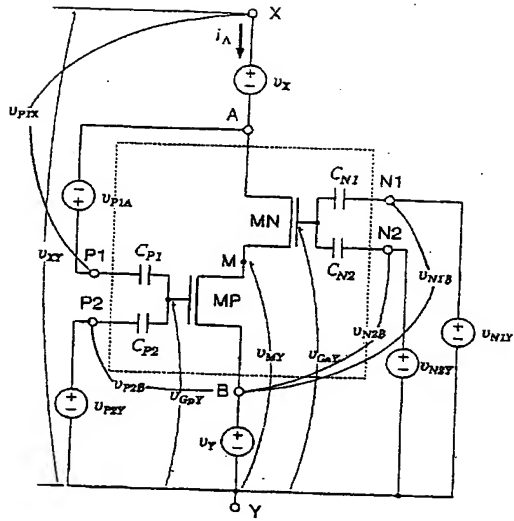
【補正対象書類名】 図面

【補正対象項目名】 図 7

【補正方法】 変更

【補正内容】

【図 7】



【手続補正 8】

【補正対象書類名】図面

【補正対象項目名】図 9

【補正方法】変更

【補正内容】

【図 9】

